

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-105582

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月23日

G 09 F 9/30
G 02 F 1/133
H 01 L 27/12
29/78

1 1 8

6615-5C
D-8205-2H
7514-5F
8422-5F

審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 薄膜トランジスタマトリックスとその製造方法

⑮ 特 願 昭59-227046

⑯ 出 願 昭59(1984)10月29日

⑰ 発 明 者	那 須	安 宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	川 井	悟	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	沖	賢 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	松 本	友 孝	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁 理 士 松 岡 宏 四 郎			

明 細 書

1. 発明の名称

薄膜トランジスタマトリックスとその製造方法

2. 特許請求の範囲

(1) 半導体薄膜の活性層、ゲート絶縁層、およびドレイン、ソース、ゲートの3電極から成る個々の薄膜トランジスタのゲート間およびドレイン間をそれぞれ第1あるいは第2のバスラインで接続した薄膜トランジスタマトリックスにおいて、第1のバスラインと重なり、第2のバスラインと接することのないよう切断された第1のバスラインの補助バスラインが設けられたことを特徴とする薄膜トランジスタマトリックス。

(2) 半導体薄膜の活性層、ゲート絶縁層、およびドレイン、ソース、ゲートの3電極から成る個々の薄膜トランジスタのゲート間およびドレイン間をそれぞれ第1あるいは第2のバスラインで接続した薄膜トランジスタマトリックスを作る方法において、絶縁基板上に第1のバスラインで接続されたゲート電極を形成する工程、同一基板上にゲ

ート電極を埋めるゲート絶縁膜および半導体活性層を順に形成し、半導体活性層にオーミック接触がとれるようにソース電極およびドレイン電極を形成する工程、ソース電極に接続するように表示電極を形成する工程、第1/第2バスライン間の層間絶縁膜を形成する工程、ドレイン電極上に第2のバスラインを形成する同一工程によって第1のバスラインと重なり、かつ、第2のバスラインに接しない切断された第1のバスラインの補助バスラインを形成する工程、を含むことを特徴とする薄膜トランジスタマトリックスの製造方法。

(3) 第1のバスラインと第2のバスラインおよび第1のバスラインの補助バスラインとは、互いに選択エッチング性をもつ材料を用いることを特徴とする特許請求の範囲第2項記載の方法。

(4) 第2のバスラインと第1のバスラインの補助バスラインはリフトオフ法で形成されることを特徴とする特許請求の範囲第2項記載の方法。

3. 発明の詳細な説明

(産業上の利用分野)

BEST AVAILABLE COPY

本発明は薄膜トランジスタマトリックスとその製造方法、詳しくは液晶等の平面型表示パネルに用いる薄膜トランジスタマトリックスの構成およびその製造方法に関し、特に各トランジスタを接続するバスラインの断線確率を低減することができる構成と製造方法に係るものである。

(従来の技術)

第3図に液晶等の平面型表示パネルの1画素が平面図で示され、同図において、1はゲートバスライン、2はゲート電極、3はドレイン電極、4はソース電極、5は表示電極、6は層間絶縁膜、7はドレインバスライン、をそれぞれ示し、縦方向に各トランジスタのゲート2はゲートバスライン1でつながり、表示電極5はトランジスタのソース電極4に接続されている。

図示のトランジスタは薄膜トランジスタで形成れ、ゲート電極2に電圧が印加されるとトランジスタのチャンネルが開き、ドレイン側からの信号が画素に書き込まれる。表示装置においては、かかる画素がマトリックス状に配置されているのでそ

れを薄膜トランジスタマトリックスと呼称する。

(発明が解決しようとする問題点)

従来、薄膜トランジスタマトリックスにおいて、バスラインは一重で用いるか、またはドレイン、ゲートそれぞれ個々に二重バスライン構成とすることで断線対策がとられてきた。しかし、前者は大型パネル製造工程においては数十ミクロン程度の幅の細いものが形成され、ゴミ等に対して弱く断線確率が大で大型パネルの欠陥を少なくしようとする要求に合致しない問題がある。また、後者はフォトリソグラフィ工程が2倍に増加し、コスト高の原因となる問題がある。

第4図を参照すると、第3図の素子を形成した後にドレインバスライン7を形成するには、ゲート/ドレインバスライン間の層間絶縁膜6を形成し、しかる後にドレインバスライン7を形成し、各トランジスタのドレイン電極3を横方向に接続する。通常はゲートバスラインを形成した後引続き補助ゲートバスラインを第4図に示す如く切断のないように形成した後、あとのプロセスを続け

るが、補助ゲートバスラインを形成しておく、ゲートバスライン1が部分1bで断線しても、2層目の補助ゲートバスライン1aが存在するので全体としてみたときゲートバスラインの断線はないことになる。かかる2層目の補助ゲートバスラインは別に1工程追加して形成しなければならないところに問題がある。

(問題点を解決するための手段)

本発明は上記問題点を解消した薄膜トランジスタマトリックスとその製造方法を提供するもので、その手段は、半導体薄膜の活性層、ゲート絶縁層、およびドレイン、ソース、ゲートの3電極から成る個々の薄膜トランジスタのゲート間およびドレイン間をそれぞれ第1あるいは第2のバスラインで接続した薄膜トランジスタマトリックスにおいて、第1のバスラインと重なり、第2のバスラインと接することのないよう切断された第1のバスラインの補助バスラインが設けられたことを特徴とする薄膜トランジスタマトリックスを提供すること、および、絶縁基板上にゲート電極を形成す

る工程、同一基板上に順にゲート電極を埋めるゲート絶縁膜および半導体活性層を順に形成し、半導体活性層にオーミック接触がとれるようにソース電極およびドレイン電極を形成する工程、ソース電極に接続するように表示電極を形成する工程、第1/第2バスライン間の層間絶縁膜を形成する工程、ドレイン電極上に第2のバスラインを形成する同一工程によって第1のバスラインと重なり、かつ、第2のバスラインに接しない切断された第1のバスラインの補助バスラインを形成する工程、を含むことを特徴とする薄膜トランジスタマトリックスの製造方法を提供することによって達成され、前記第1のバスラインと第2のバスラインおよび第1のバスラインの補助バスラインとは、互いに選択エッチング性をもつ材料を用いるか、または第2のバスラインと第1のバスラインの補助バスラインはリフトオフ法で形成する。

(作用)

本発明は、ゲート、ドレインバスライン形成工程の一方の工程で他方のバスラインの一部を二重

構成とすることにより、工程数を増やすことなくバスラインの断線確率を低減しうる薄膜トランジスタの構成とその製造方法を提供することを目的とするものであり、同一フォトリソグラフィ工程で一方のバスラインを形成するときに、他のバスラインのうち前記バスラインと交差しない部分を二重に形成し、また二重バスラインの各材料に選択エッチング性をもたせることにより、マスク欠陥、フォトリソグロフィ中のゴミ等によるバスラインの断線を、フォトリソグラフィ工程を増やすことなく低減するものである。

〔実施例〕

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図に本発明の第1実施例が平面図で示され、同図において、11はゲートバスライン、12はゲート電極、13はドレイン電極、14はソース電極、15は表示電極、16はゲート/ドレインバスライン間層間絶縁膜、17はドレインバスライン、をそれぞれ示し、これらは第3図、第4図に示されるもの

と同じもので、かつ、同じ方法で形成される。図示の薄膜トランジスタはマトリックス状に多数配置され、個々のトランジスタのゲート間およびドレイン間にはそれぞれのバスライン（第1のバスラインと第2のバスライン）で接続される。第1図の実施例においては、ドレインバスライン17のパターニングと同時にゲートバスライン18を形成したもので、補助ゲートバスラインはゲートバスラインと重なり、ドレインバスライン（第2のバスライン）に接することのないよう図示の如く切断されている。補助ゲートバスラインは、ドレインバスライン17のパターニングに使用するフォトマスクパターンに補助ゲートバスライン18のためのパターンを追加するだけで形成可能である。

次に、第2図を参照して第1図の実施例を形成する工程を説明する。第2図(a)から(e)までは第1図のAA線に沿う断面図、第2図(f)は第1図のB-B線に沿う断面図である。

第2図(a)：

絶縁性基板20上にゲート電極材料を蒸着しそれをパターニングする通常の工程で、ゲート電極12を形成する。

第2図(b)：

次いで、全面にゲート絶縁膜21、アモルファスシリコン（またはポリシリコン、カドミウム・セレン（CdSe）、硫化カドミウム（CdS）、テルル（Te）でもよい）の半導体活性層22を順に形成する。

第2図(c)：

半導体層22、ゲート絶縁膜21をパターニングし、次いで、電極材料を全面に被着し、それをパターニングしてソース電極13、ドレイン電極14を形成する。

第2図(d)：

表示電極（透明電極）15を形成する。透明電極形成後に層間絶縁膜16を形成するが、これは第2図の断面図には現れない。

層間絶縁膜16の形成において、全面に絶縁膜を形成しそれを部分的に除去して層間絶縁膜16のみ

を残す代りに、第1図に点線で示すように、表示電極15、補助ゲートバスライン18、ドレイン電極13のための窓開きをしてよい。

第2図(e)：

ドレインバスライン17を形成する。そのためにはゲートバスライン11がクロムで形成されているときには、クロムに対し選択エッチング性をもつアルミニウムを全面に被着し、それをマスクを用いるフォトリソグラフィ法でパターニングしてドレインバスライン17を形成するが、そのとき、同じマスクを用いて補助ゲートバスライン18を形成する。補助ゲートバスライン18は第1図のB-B線に沿う断面図である第2図(f)に示される。

ゲートバスライン11と補助ゲートバスラインを互いに選択エッチング性をもつ材料で形成する理由は、そうでないと、補助ゲートバスラインのパターニングのときそれに断線部分があると、その下のゲートバスラインもエッチングされ、その部分においてゲートバスラインも補助ゲートバスラインも共に断線し、せっかく形成した補助ゲート

バスラインがなんの用もなさない結果になるから、それを避けるためである。

なんらかの理由によって補助ゲートバスライン材料が前記した選択エッチング性をもたない場合、例えば、ゲートバスラインがクロムで形成され、補助ゲートバスラインをチタンで形成したいときには、補助ゲートバスラインの形成は、クロムに影響することのない溶媒を用いるリフトオフ法により、補助ゲートバスラインの形成がゲートバスラインを損なうことのないようにする。

以上に説明した実施例は逆スタガード型であるが、本発明は第2図(d)に示す第2の実施例であるスタガード型にも及ぶ。このスタガード型において、ドレイン、ソースバスラインは先に基板面に作られ、その後にゲートバスラインを作ると同時に補助ドレインバスラインを形成する。第1の実施例においては、ゲート電極を作った後で、ドレインバスライン(第2のバスライン)を作るときゲートバスラインと重なる補助的ゲートバスラインを形成したが、第2の実施例では、ソース、ド

レイン電極は先に作られているので、ゲートバスラインを作ると同時にドレインバスラインと重なる補助ドレインバスラインを作るのである。

(発明の効果)

以上説明したように本発明によれば、工程数を増やすことなくバスラインを二重に構成しうるので、低コストでバスラインの断線欠陥のない薄膜トランジスタマトリックスの製造に効果大である。

4. 図面の簡単な説明

第1図は本発明実施例の平面図、第2図(a)から(e)までは本発明の方法実施工程を第1図のA-A線に沿う断面で示す断面図、第2図(f)は第2図(e)の工程における第1図B-B線に沿う断面図、第2図(g)は本発明第2実施例の第2図(e)に類似の断面図、第3図と第4図は従来法による薄膜トランジスタの形成を示す平面図である。

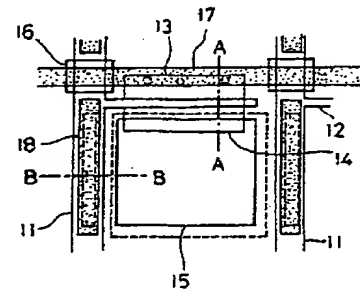
図中、11はゲートバスライン、12はゲート電極、13はドレイン電極、14はソース電極、15は表示電極、16はゲート/ドレインバスライン間の層間絶縁膜、17はドレインバスライン、18は補助ゲート

バスライン、をそれぞれ示す。

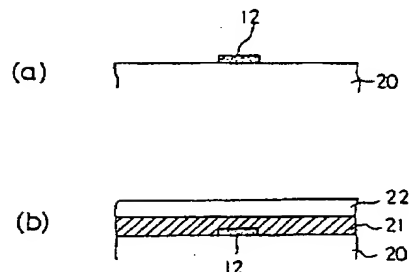
特許出願人 富士通株式会社
代理人 弁理士 松岡 宏四郎



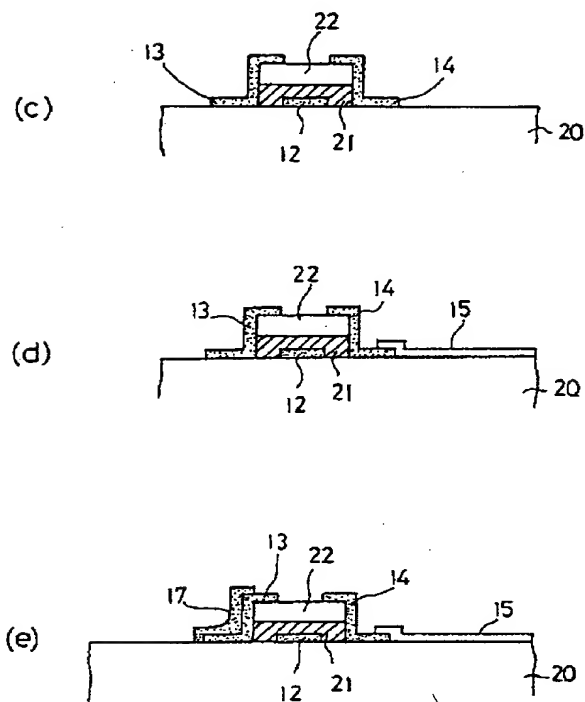
第1図



第2図

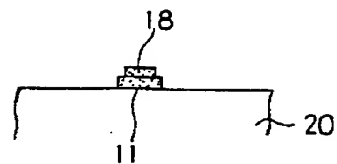


第 2 図

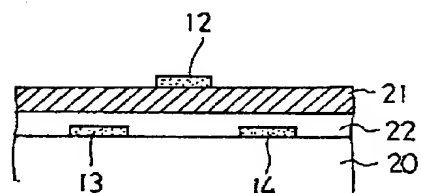


第 2 図

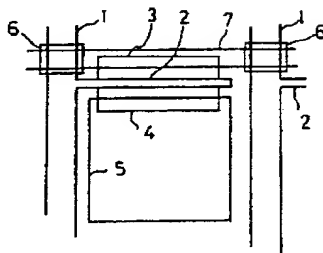
(f)



(g)



第 3 図



第 4 図

